



ABSTRACT OF Korean Patent Publication No. 10-2001-100921

A capacitor structure that comprises a top platinum electrode and a bottom electrode having insulator on the sidewalls of the electrodes, and wherein the bottom electrode is from depositing a first electrode portion being recessed with respect to the insulator on the
5 sidewalls thereof and depositing a second insulator portion is provided.

해서 후속되는 화학 기계 플러싱(OP)함을 나타낸다.

도 12는 살리코 정화물(22)과 보조물(25)을 선택적으로 여과해서 제거하므로 선택된 본 발명에 따른 구조물을 나타낸다. 화(25,32)은 반응성 미온 매질이나 솔식 화학 매질으로 매질할 수 있다.

보조물(25)의 상부에 있는 3배 화(32)의 약부분을 선택적으로 매질함으로써 정화물(26)에 대해 제 1 전극 화(24)에 리세정된다. 즉 제 1 전극 화(24)의 상부 표면이 정화물(25)의 상부면에 대해 리세정된다.

도 13에서 제 2 전극 화(28)은 제 1, 2 전극 화(24, 28)를 포함하는 하부 전극을 완성하기 위해서 종속되고 플러닝된다. 부화(29)는 화(28)에 있는 그러한 비문더리를 나타낸다.

정화물(26)은 산소 화산이 전극의 측면으로 통과하는 것을 방지한다. 게다가 유정화물(30)은 전극 화(28)의 원인과 측면을 덮기 위해서 부화적으로 종속된다. 유정화물(30)은 대개 $BsO_3(BaSO_3TiO_2)$, $SnO_3(SrTiO_2)$, $PZ(Pb_2TiO_4)$, $BaTiO_3$, $PbTiO_3$, $HfTiO_3$, $BiTiO_3$ 같은 높은 유전 상수율을 갖는 물질이다. 여기서 가장 바람직하다. BsO_3 는 금속 유기 화학 종속(MCO)에 의해서 종속된다. BsO_3 막은 선구 물질(precursor)의 액체 정제를 이용하는 MCO에 의해 종속된다. $Bs(thd)_3$, $(4-g)pmo$, $Sr(thd)_3$, $(4-g)pmo$, $Ti(0-1p)_3$, $(uod)_3$ 가 대개 유기 소스로 이용된다. 또한 유정화물은 강유전 물질에 할 수 있다.

대개 종속은 400 내지 700°C 온도 범위의 산소 분위기에서 일어난다. 고유전율 유전체는 하부 전극을 부화적으로 종속한다.

전도성 종속물(23)은 전극과 플러닝 간의 상호 확산과 반응을 방지하는 것을 돕도록 전극과 플러닝 물질들 분리하기 위해서, 화학 용인에 플러닝을 산소 노출로부터 보호하기 위해서, 플러닝에 접촉을 제공하기 위해서 사용된다.

유정화물(30)은 전형적으로 약 5 나노미터 내지 약 100 나노미터이며 보다 전형적으로는 약 10 나노미터 내지 약 50 나노미터이다.

도 14는 상부 전극(31)의 부화적으로 종속됨을 도시한다. 상부 전극 화(31)은 전형적으로 약 30 나노미터 내지 약 200 나노미터이며 보다 전형적으로는 약 50 나노미터 내지 약 100 나노미터이다.

도 15는 플러닝 전행트와 다른 위치에 위치하는 식별 캐패시터를 사용하는 본 발명의 또 다른 실시예를 나타낸다. 특히, 도 15는 반도체 기판(20) 위에 살리코 미산화물같은 절연 물질(21), 도판된 다결정 실리콘이나 KSi_3H_8 와 같은 전도성 전극로 플러닝(22)을 나타낸다. 전극 금속성 전극트(23)는 전극트 플러닝(22)에 종속되고 인산화 물질(25)에 의해서 보호된다. 종속물(23)은 전극트 전극트(23)와 플러닝(22)에 위치한다. 캐패시터의 하부 전극은 전극트(24)와 종속되고 있는 화(24)와, 플러닝 전극 화(28)를 포함하고 있다. 하부 전극 화의 측면은 정화물(26)에 의해서 보호된다. 유정화물(30)은 화(28)의 측면과 원면을 덮고 상부 전극(31)을 분리시킨다. $(24,30,28,31)$ 에 대한 전극 물질은 대개 본 명세서 위에서 개시된 전극 물질 중 어떤 것이 될 수 있다.

플러닝과 같은 전극선의 저항이 산화 저항 때문에 극히나 임피던스의 저항보다 높을 지라도, 플러닝 전극선은 고유전율 수백 캐패시터같이 높은 저항도가 요구되는 소자에서 사용된다. 게다가, 이 전극선은 식별 캐패시터가 플러닝 전극트와 다른 위치에 위치할 수 있는 미세 패턴 미시미스(micro meter)에 대해서도 사용할 수 있다. 산소 확산 불로가 증가하기 때문에 산소가 종속물에 도달할 확률은 더 적어진다.

도 16은 본 발명에 따른 바람직한 구조물의 개조도이다. 특히, 살리코 미산화물과 같은 절연물(21)은 반도체 기판(20) 위에 위치한다. 다결정 살리코와 같은 전도성 플러닝(22)이 존재한다. 종속물은 165nm 이하로 된 종속물(23)과 165nm 이하로 된 종속물(25)을 포함하는 종속 종속물(26)이다. 캐패시터의 하부 전극은, 이 종속물 포함하는 하부 전극 전극(24)과 플러닝 상부 전극(28)을 포함한다. 캐패시터의 상부 전극(31)도 플러닝을 포함한다. 유정화물(30)은 화(28)의 상부면과 측면을 덮고 상부 플러닝 전극을 분리시킨다. 화(30)은 $BsTiO_3$ 에 바뀐다.

본 개시는 오직 바람직한 실시예만을 기술하고 도시하였지만 앞에서 언급한 것처럼 본 발명은 관련 기술의 지식과 교사와 관련하여 본 명세서에서 표현된 창의적인 개념의 범위 내에서 다양한 다른 조합, 변경, 확장 등이 가능하다. 본 명세서에서 기술된 실시예는 본 발명을 설명하도록 알려진 최선의 방식을 설명하고 본 기술의 당업자가 본 발명의 특별한 응용이나 사용에서 요구되는 다양한 변경과 상기 실시예나 다른 실시예로 본 발명을 유용하도록 위한다. 따라서 본 명세는 본 명세를 여기서 개시된 형태로만 제한하지 않는다. 또한 첨부된 청구 범위는 다른 실시예를 포함하도록 해석되어야 한다.

본 발명의 요점

본 발명은 살리코 정화물에 의한 선택 산소 확산 방지를 제공하고, 전극의 그러한 비문더리를 차단하는 리세정에 관한 산소의 그러한 비문더리로 확산 방지를 제공한다.

(57) 청구의 범위

청구항 1

상부 전극과 하부 전극을 포함하는 캐패시터 구조물로서, 상기 하부 전극은 그의 측면 상의 전기 절연체 에 대해 리세정된 제 1 전극 부분의 종속물에 의해 그리고 제 2 전극 부분의 종속물에 의해 이루어지고, 유전체는 상기 하부 전극의 제 2 전극 부분의 상부면과 측면에 종속하고, 상기 상부 전극은 상기 유전체 위에 위치하는 캐패시터 구조물.

청구항 2
제 1 항에 있어서,

상기 하부 전극의 상기 제 1 전극 부분의 측면 상의 상기 절연체는 살리코 미산화물을 포함하는 캐패시터 구조물.

청구항 3

제 1 항에 있어서,

상기 하부 전극에서 상기 제 2 전극 부분의 측면 상의 상기 유전체는 BsO_3TiO_2 를 포함하는 캐패시터 구조물.

청구항 4

제 1 항에 있어서,

상기 하부 전극의 제 1 전극 부분은 약 5 나노미터 내지 약 200 나노미터의 두께인 캐패시터 구조물.

청구항 5

제 4 항에 있어서,

상기 하부 전극의 제 2 전극 부분은 약 100 나노미터 내지 약 800 나노미터 두께인 캐패시터 구조물.

청구항 6

제 1 항에 있어서,

상기 하부의 제 2 전극 부분의 외면과 측면에 있는 상기 유전체는 약 5 나노미터 내지 약 100 나노미터 두께인 캐패시터 구조물.

청구항 7

제 1 항에 있어서,

상기 하부의 제 1 전극 부분의 측면에 있는 상기 절연체는 상기 종속물에 종속한 살리코 정화물과 상기 살리코 정화물 위에 있는 살리코 미산화물을 포함하는 캐패시터 구조물.

청구항 8

제 7 항에 있어서,

상기 살리코 정화물은 약 20 나노미터 내지 약 80 나노미터의 두께인 캐패시터 구조물.

청구항 9

제 1 항에 있어서,

상기 상부 전극과 하부 전극은 Pt, Ir, Ru, Pd, IrO₂, RuO₂에서 적어도 하나를 개별적으로 선택된 것인 캐패시터 구조물.

청구항 10

제 1 항에 있어서,

상기 상부 전극과 하부 전극은 Pt를 포함하는 캐패시터 구조물.

청구항 11

제 1 항에 있어서,

상기 하부 전극은 I_r 층과 I_n 층과 P_r 층을 포함하는 캐피시터 구조물.

참구항 12
전도성 플러그 위에 위치하는 제 1 층의 캐피시터 구조물과 상기 전도성 플러그와 상기 캐피시터 구조물 간에 위치하는 장벽층을 포함하는 반도체 구조물.

참구항 13
제 12 항에 있어서,
상기 전도성 플러그는 도핑된 다결정 실리콘을 포함하는 반도체 구조물.

참구항 14
제 12 항에 있어서,
상기 장벽층은 Si_3N_4 를 포함하는 반도체 구조물.

참구항 15
전도성 플러그 위에 위치하는 제 7 층의 캐피시터 구조물과 상기 전도성 플러그와 상기 캐피시터 구조물 간에 위치하는 장벽층을 포함하는 반도체 구조물

참구항 16
제 15 항에 있어서,
상기 전도성 플러그는 도핑된 다결정 실리콘을 포함하는 반도체 구조물.

참구항 17
제 14 항에 있어서,
상기 장벽층은 Si_3N_4 를 포함하는 반도체 구조물.

참구항 18
제 12 항에 있어서,
상기 장벽층이 하부 실리콘이드 전층층과 상부 절연층을 포함하는 반도체 구조물.

참구항 19
제 18 항에 있어서,
상기 실리콘이드는 1α 실리콘이드를 포함하고 상기 절연층층은 Si_3N_4 를 포함하는 반도체 구조물.

참구항 20
전극 전층층 위에 위치하는 제 1 층의 캐피시터 구조물과 상기 전극 전층층과 접속하는 전도성 플러그와 상기 전도성 플러그와 상기 전층층 간에 위치하는 장벽층을 포함하는 반도체 구조물.

참구항 21
제 20 항에 있어서,
상기 전도성 플러그는 도핑된 다결정 실리콘을 포함하는 반도체 구조물.

참구항 22

전극 전층층 위에 위치한 제 7 층의 캐피시터 구조물과 상기 전극 전층층과 접속하는 전도성 플러그를 포함하는 반도체 구조물.

참구항 23
제 22 항에 있어서,
상기 전도성 플러그는 도핑된 다결정 실리콘을 포함하는 반도체 구조물.

참구항 24
캐피시터 구조물을 위한 전극을 제조하는 방법으로,
포함 제 1 전극층을 증착하는 단계와,
상기 제 1 전극층의 상부면에 보호층을 증착하여 스택 구조물을 완성하도록 하는 단계와,
상기 스택 구조물을 피터닝하는 단계와,
전기 절연층을 증착하고 플리싱하여 상기 스택 구조물의 측면에 절연층을 채우는 단계와,
매칭에 의해 상기 보호층을 제거하는 단계와,
상기 절연층에 대해 상기 제 1 전극층을 리세스(recess)하는 단계와,
상기 제 1 전극층의 상부면에 제 2 전극층을 증착 및 피터닝하는 단계와,
상기 제 2 전극층의 상부면과 측면에 유전체층을 증착하는 단계를 포함하는 캐피시터 구조물의 전극 제조 방법.

참구항 25
제 24 항에 있어서,
상기 제 1 전극 부분의 측면 상의 상기 절연층은 실리콘 이산화물을 포함하는 캐피시터 구조물의 전극 제조 방법.

참구항 26
제 24 항에 있어서,
상기 제 2 전극 부분의 측면 상의 상기 절연층은 실리콘 이산화물을 포함하는 캐피시터 구조물의 전극 제조 방법.

참구항 27
제 27 항에 있어서,
상기 제 1 전극 부분은 약 5 나노미터 내지 약 200 나노미터의 두께의 캐피시터 구조물의 전극 제조 방법.

참구항 28
제 24 항에 있어서,
상기 제 2 전극 부분은 약 100 나노미터 내지 약 600 나노미터의 두께의 캐피시터 구조물의 전극 제조 방법.

참구항 29
제 24 항에 있어서,
상기 제 1 전극 부분의 측면 상의 절연층은 상기 측면과 접속하는 실리콘 접합층과 상기 실리콘 접합층 상의 실리콘 이산화물층을 포함하는 캐피시터 구조물의 전극 제조 방법.

참구항 30
제 29 항에 있어서,
상기 제 1 전극 부분의 측면 상의 절연층은 상기 측면과 접속하는 실리콘 접합층과 상기 실리콘 접합층 상의 실리콘 이산화물층을 포함하는 캐피시터 구조물의 전극 제조 방법.

참구항 31
제 30 항에 있어서,
상기 제 2 전극 부분은 약 100 나노미터 내지 약 200 나노미터의 두께의 캐피시터 구조물의 전극 제조 방법.

상기 실시예 중 질화물은 약 20 나노미터 내지 약 60 나노미터 두께의 캐패시터 구조물의 전극 제조 방법.

31 7500

제 24 항에 있어서,

상기 제 2 전극층의 상부면 상의 마진층 형태의 상부에 추가의 전극층을 형성하는 단계를 더 포함하는 캐패시터 구조 조립의 전극 제조 방법.

卷之七

제 24 호에 의해서,

상기 표면은 장벽층인 캐패시터 구조물의 전극 제조 방법.

ॐ नमो भगवते वासुदेवाय

제 32 회 임시회.

상기 장비들은 TOSIN을 포함하는 캐비닛의 전극 제조 방법.

34 2008

제 24 회에 의해서,

상기 표면은 전극선의 캐패시터 구조물의 전극 제조 방법.

제 35 조

제 32 항에 의해서,

[illegible]

कुत्तः ३६

제 35 호에 의해서,

상기 살리사이드는 1% 살리사이드를 포함하고, 상기 절화물층은 TASIN을 포함하는 케페시터 구조물의 전극 제조 방법.

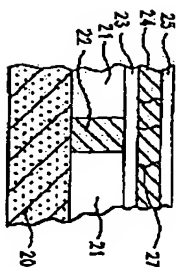
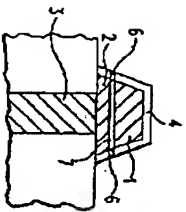
37 2500

제 24 항의 제2조 공정에 의해 획득된 전극,

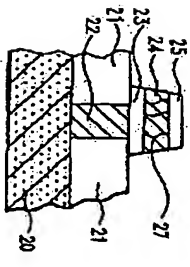
50

105

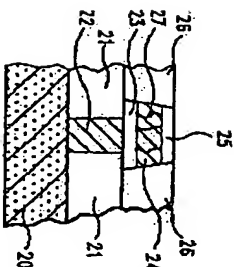
(음대기술클럽)



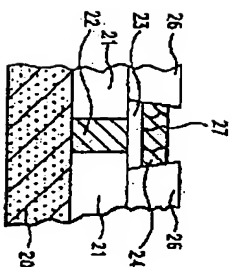
LEADS



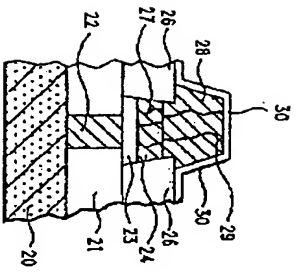
504



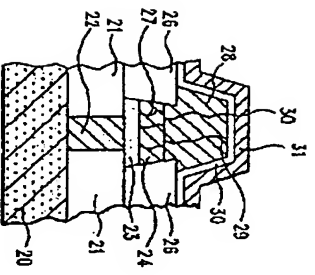
5085



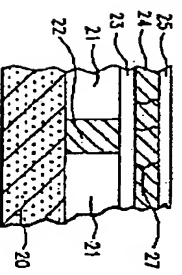
도 9



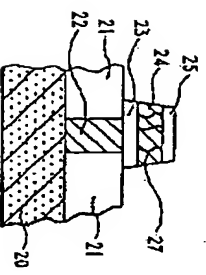
도 10



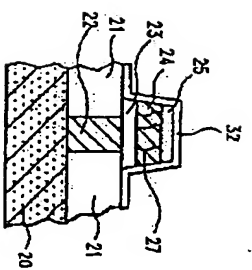
도 11



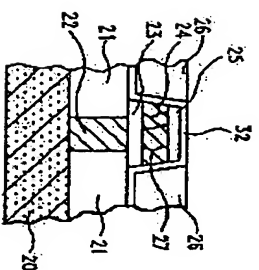
도 12



도 13



도 14



도 15

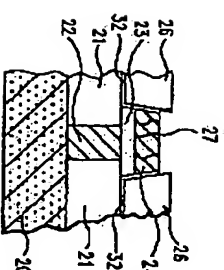


圖 13

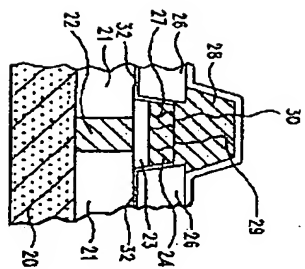


圖 14

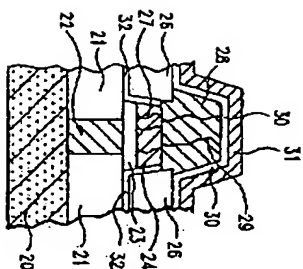


圖 15

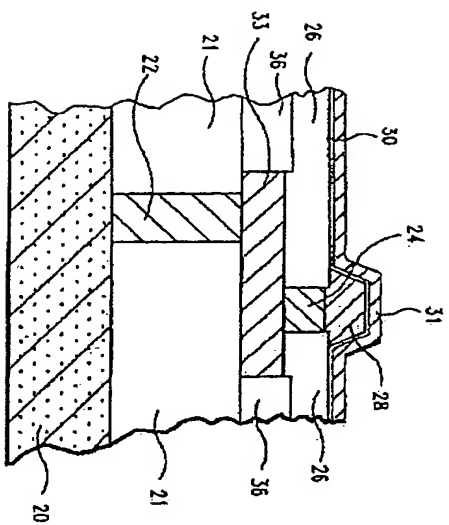


圖 13

圖 16

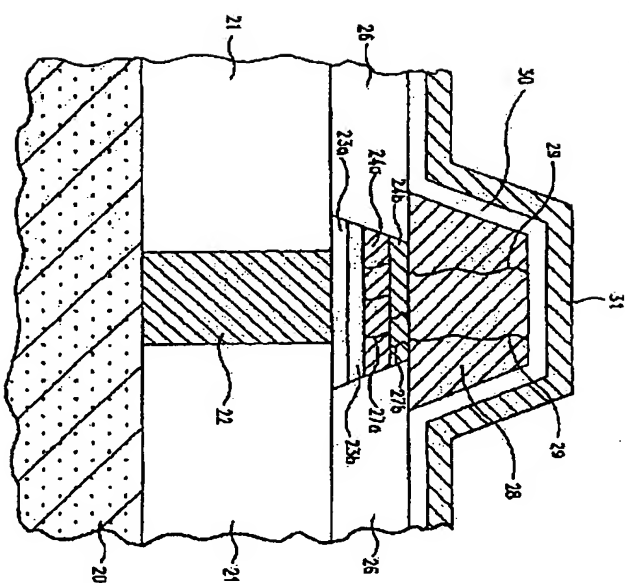


圖 14